

Guía de problemas: Aritmética de Computadores
Parte 1: Operaciones básicas con lápiz y papel

Problema 1:

- Escribir -4, -6 y -1 en complemento a 2 en 4 bits y 8 bits considerando los pesos de cada posición numérica. Verifique que se cumple la regla de la extensión de signo.
- Hallar que número decimal negativo representa el siguiente número de 16 bits 1110 0101 1100 0010 expresado en complemento a 2.
- Qué rango de números se puede representar cuando se utiliza numeración en complemento a 2 de ancho de palabra 4 bits, 8 bits o 16 bits.

Problema 2: Realice las siguientes operaciones de suma con papel y lápiz. Analice los resultados cuando los números son a) Binario Natural y b) Complemento a 2. Indique cuales resultados en 2'comp no son correctos (*overflow*), de acuerdo con la regla de la XOR entre los dos últimos acarrees. Opere con un ancho de palabra de 8 bits, extendiendo signo (cuando se opera en complemento a dos únicamente) en los casos necesarios.

- 1111 0000 + 1100 0001
- 1111 0101 + 0000 1111
- 1111 + 0001 0001
- 0111 + 0101 0101
- 0111 0111 + 0111 1011
- 0100 1111 + 1111
- 1000+1000
- 0111+0111

Problema 3: Verifique lo anterior, realizando:

- La suma de dos números positivos de 4 bits cuyo resultado sobrepase 7 (el máximo valor positivo representable en 4 bits)
- La suma de dos números negativos de 4 bits cuyo resultado sobrepase -8 (el máximo valor negativo representable en 4 bits).

Problema 4: Expresar en binario y en decimal los siguientes números

- 1F
- CE
- 116
- CAFE
- BEBE
- BECA
- CABE
- B1FE.
- FE0

Problema 5: Realice sin calculadora las siguientes operaciones con números hexadecimales

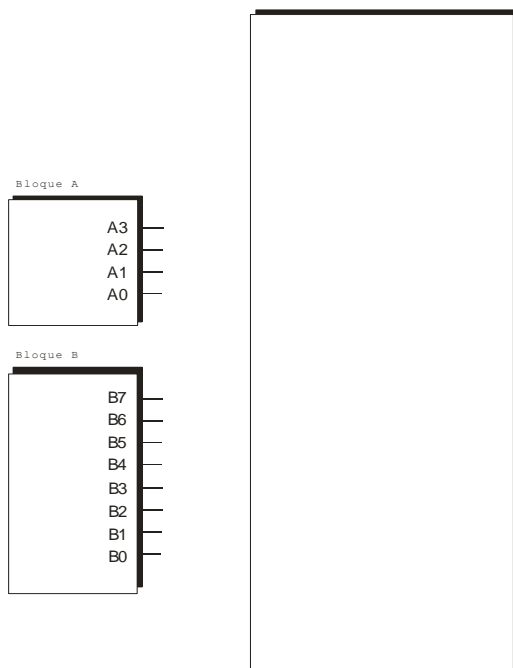
- 1E + E1
- FF+01
- AA+10
- 1F+FE

Guía de problemas: Aritmética de Computadores
Parte 2: Circuitos Aritméticos Combinacionales

Problema 1: Diseñe un circuito que cambie el signo a un número binario natural de 8 bits. La salida debe estar representada en complemento a 2 en 8 bits.

Problema 2: El bloque A de la figura tiene por salida un número de 4 bits en complemento a 2, mientras que las salidas del bloque B también están complemento a 2 pero de 8 bits. Se pide dibujar, utilizando *full-adders* o sumadores 3-2 y puertas auxiliares, el esquema interno del bloque final (en blanco), de modo que permita realizar la suma de las salidas de los bloques A y B, utilizando complemento a 2 de 8 bits.

Notas: Indique claramente las salidas y entradas del bloque. El circuito debe estar cuidadosamente dibujado, considerando la sencillez y regularidad de la estructura.

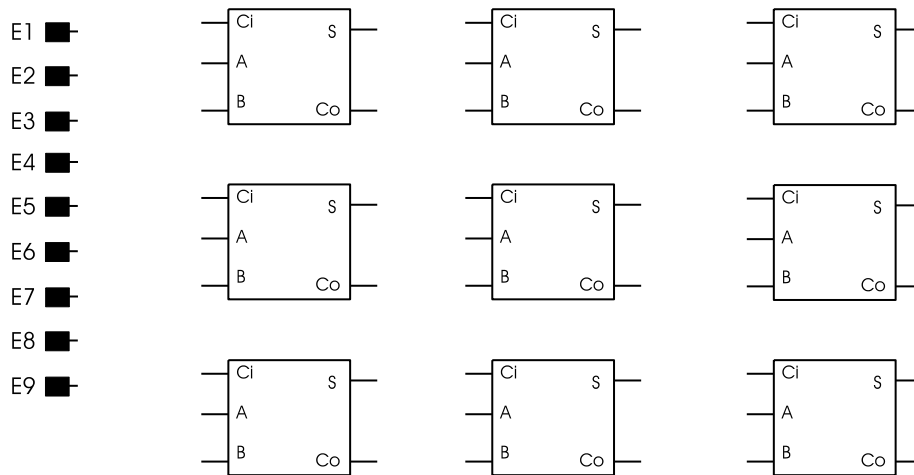


Problema 3: Deducir las ecuaciones y estructura de una sumador de acarreo serie (*RCA: ripple-carry adder*) de números de 8 bits a partir de la forma de sumar que se utiliza con "lápiz y papel".

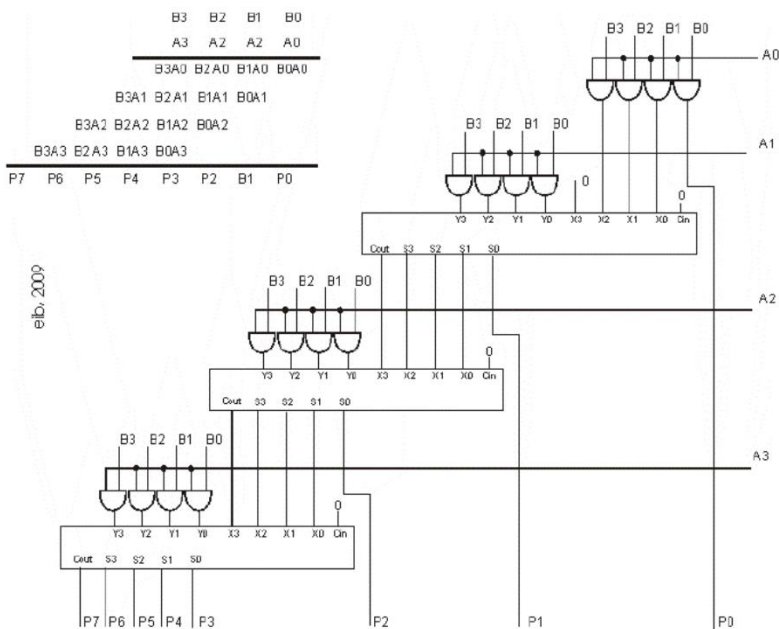
Problema 4: Se quiere realizar un circuito sumador para números de dos bits ($X_1X_0+Y_1Y_0$). Utilizando dos multiplexores 4-1, se pide diseñar un circuito para calcular **sólo los dos bits de menos peso** del resultado de la suma $S_2S_1S_0$. Utilizar **obligatoriamente** las señales X_1X_0 como entradas de control (X_1 al control de mayor peso). Añadir el mínimo número de puertas lógicas que se consideren necesarias.

Problema 5: Un circuito combinacional tiene nueve entradas independientes $E_1, E_2, E_3 \dots, E_9$ de un bit cada una, y una salida S de cuatro bits (S_3, S_2, S_1, S_0), cuyo valor en binario indica el número entradas E que están a "1". Por ejemplo, si $E_1=E_2=E_3=E_7="1"$ mientras que el resto están a "0", entonces $S="0100"$; es decir indica 4 entradas a "1". Se pide :

Diseñar dicho circuito utilizando el mínimo número de sumadores de acarreo serie como los de la figura, como único componente.



Problema 6: Verifique que entiende el funcionamiento del multiplicador binario sin signo de números de 4 bits de la figura. Pruebe la operación 1101 x 0010.



Problema 7: Verifique mediante la operación 1101 x 0010 el esquema de Baugh & Wooley para multiplicar. Dibuje un circuito digital que lo materialice, utilizando sumadores de 4 bits, y puertas AND e INV.

Result: multiplying 2's complement operands takes just about same amount of hardware as multiplying unsigned operands!

				X3	X2	X1	X0	
			*	Y3	Y2	Y1	Y0	

				X3Y0	X2Y0	X1Y0	X0Y0	
+				X3Y1	X2Y1	X1Y1	X0Y1	
+				X3Y2	X2Y2	X1Y2	X0Y2	
+				X3Y3	X2Y3	X1Y3	X0Y3	
+	1	0	0	1	0			

	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

Guía de problemas: Aritmética de Computadores
Parte 3: Circuitos Secuenciales (FSMs) Aritméticos

Problema 1: Diseñar un sumador serie, utilizando el esquema Moore de FSM. Es decir, un sumador que recibe dos números A y B en serie, bit a bit, sincronizados por una señal de reloj. A la salida debe entregarse, también bit a bit, el resultado de la suma. Los números se reciben de modo LSBF. El resultado también se genera en modo LSBF.

Problema 2: Diseñar un bloque aritmético, donde tres números C, B y A entren en serie en modo LSBF sincronizados con el flanco de subida de una señal de reloj. Partiendo de un estado inicial, la salida Z, también serie, deberá calcular flanco a flanco, la suma de los números C, B, A. El sistema sólo operará cuando una señal de control VALID sea igual a "1". En caso contrario, el circuito deberá volver al estado inicial y permanecer en espera con salida Z=0.

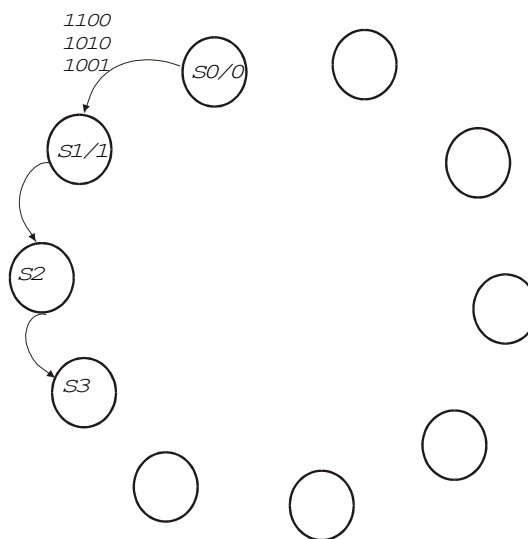
Se pide completar sobre el diagrama de estados adjunto una solución basada en una FSM Moore.

Notas:

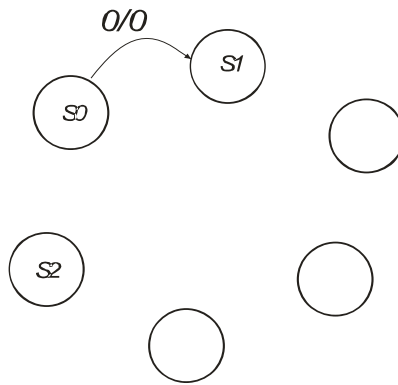
En las flechas que indican las transiciones, las entradas se deben notar como VALID y CBA. Por ejemplo, en la transición de abajo se denota que VALID=1, C=1, B=0 y A es redundante.



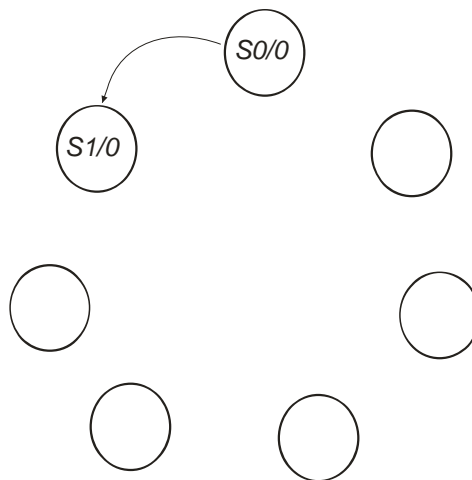
Observe que el resultado final se obtendrá como máximo dos ciclos de reloj más tarde de la llegada del MSB.



Problema 3: Diseñe un circuito que genere a la salida, comenzando por el LSB, un número binario que sea igual al doble de un número binario de entrada, arbitrariamente largo, que se recibe en serie, comenzando por el LSB, y sincronizado por una señal de reloj. Utilice un esquema Mealy con el mínimo número de estados. Se pide SOLAMENTE completar el diagrama de estados adjunto.



Problema 4: Un número binario de longitud indeterminada se transmite en serie en modo LSBF, sincronizado con una señal de reloj CLK. Complete el diagrama de estados adjunto, correspondiente a una FSM Moore cuya salida sea "1" cada vez compruebe, ciclo a ciclo, que el número recibidos es múltiplo de 4. Considere al cero múltiplo de 4. Agregue en el diagrama los estados que necesite o deje sin utilizar lo que no necesite.



Problema 5: Repita el ejercicio anterior utilizando el esquema Mealy

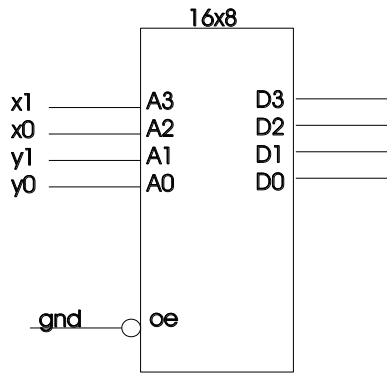
Problema 6: Un número de longitud indeterminada se transmite en serie en modo LSBF, sincronizado con una señal de reloj CLK. Complete el diagrama de estados adjunto, correspondiente a una FSM Moore cuya salida sea "1" cada vez compruebe, ciclo a ciclo, que el número recibidos es múltiplo de 8. Considere al cero múltiplo de 8.

Problema 7: Repita el ejercicio anterior utilizando el esquema Mealy.

Problema 8: Una máquina tipo Mealy compara dos números binarios A y B de n bits, donde la longitud n es un valor aleatorio. Los bits de cada número llegan en serie sincronizados con una señal de reloj CLK. Una entrada adicional C indica, cuando está a "1", que los números son válidos y por lo tanto, se puede realizar la comparación. La salida del circuito está compuesta por tres líneas llamadas L, E y G que indicarán ciclo a ciclo el resultado parcial de la comparación, de acuerdo con los bits recibidos hasta el momento. L, E, y G se pondrán a "1" cuando $A < B$, $A = B$ y $A > B$ respectivamente, siempre que $C = "1"$. Por el contrario, si $C = "0"$, todas las salidas deben ser "0". Utilizando la nomenclatura *ABC/GEL* para indicar las transiciones, se pide:

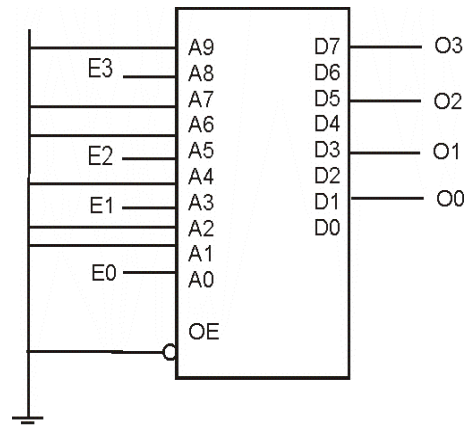
- a) Dibujar el diagrama de estados si los números llegan comenzando por el bit más significativo.
- b) Dibujar el diagrama de estados si los números llegan comenzando por el bit menos significativo

b. Hallar, mediante un mapa de Karnaugh, la función lógica del bit de signo del resultado.



Problema 5: Se desea utilizar la memoria ROM de la figura para realizar el convertor de código de la tabla adjunta. No debe considerarse que dos o más entradas puedan activarse simultáneamente. Las entradas E3 E2 E1 y E0 y las salidas O3 O2 O1 O0 están conectadas tal como se muestra en el diagrama del circuito. Los bits que no se utilizan de la ROM deben ir a 0. Se pide que escriba el fichero Intel HEX. Observe que necesitará muchas líneas (records)

E3	E2	E1	E0	O3	O2	O1	O0
1	0	0	0	1	1	1	0
0	1	0	0	1	1	0	1
0	0	1	0	1	0	1	1
0	0	0	1	0	1	1	1

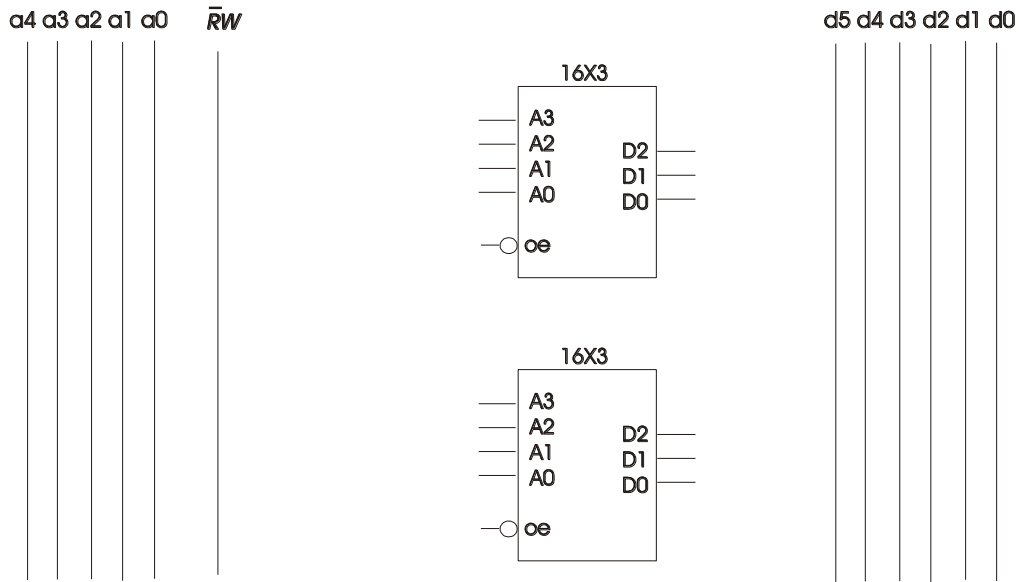


Problema 6: En la figura se muestran dos módulos de memoria ROM de 16x3 (16 palabras de 3 bits). La línea OE (*output enable*) habilita las salidas D[2:0] con "0" y las mantiene en alta impedancia (Z) en caso contrario. Se pide:

- a) Obtener una memoria de 32x3.
- b) Obtener una memoria 16x6.

Para ello considere que las memorias se conectarán a un sistema que tiene dos *buses*: a[4:0] y d[5:0] correspondientes a direcciones y datos respectivamente. Dibuje sobre los esquemas las conexiones necesarias y utilice el mínimo número posible de puertas adicionales.

a)



b)

